

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-023356

(43)Date of publication of application : 26.01.1989

(51)Int.Cl.

G06F 13/00

G06F 11/34

(21)Application number : 62-180723

(71)Applicant : PFU LTD

(22)Date of filing : 20.07.1987

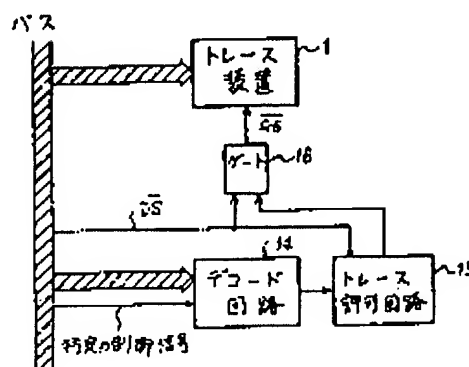
(72)Inventor : HASHINAKA KOJI
IINUMA HIROSHI

(54) TRACE SYSTEM

(57)Abstract:

PURPOSE: To detect a specific area where an interruption is produced by adding a trace permitting circuit to instruct a tracing action to a gate when a signal showing the coincidence between the bus signal value and the trace conditions is received.

CONSTITUTION: A decoding circuit 14 checks whether the bus signal value is coincident with the trace conditions or not when a specific signal, e.g., a fetch signal is outputted. When noncoincidence is obtained, this fact is informed to a trace permitting circuit 15. While a fact showing the coincidence is also informed to the circuit 15. The circuit 15 inhibits the tracing actions to a gate 16 when a data strobe signal DS is produced when the noncoincidence between the bus signal value and the trace conditions is informed. Then the circuit 15 gives an instruction to the gate 16 for tracing actions when the coincidence between said signal value and conditions is informed. Thus it is possible to know a specific area where an interruption is produced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-23356

⑬ Int. Cl.

G 06 F 13/00
11/34

識別記号

3 0 1

庁内整理番号

C-7230-5B
A-7343-5B

⑭ 公開 昭和64年(1989)1月26日

審査請求 未請求 発明の数 2 (全8頁)

⑮ 発明の名称 トレース方式

⑯ 特 願 昭62-180723

⑰ 出 願 昭62(1987)7月20日

⑱ 発 明 者 橋 中 弘 司 神奈川県大和市深見西4丁目2番49号 株式会社ビーエフユー大和工場内

⑲ 発 明 者 飯 沼 宏 氏 神奈川県大和市深見西4丁目2番49号 株式会社ビーエフユー大和工場内

⑳ 出 願 人 株式会社 ビーエフユー 石川県河北郡宇ノ気町宇野気ヌ98番地の2

㉑ 代 理 人 弁理士 京谷 四郎

明 細 書

1. 発明の名称

トレース方式

2. 特許請求の範囲

(1) マイクロプロセッサやDMAチャネル等が接続され、データの転送が行われているアドレス・バス、データ・バス及び制御線より構成されたバスのバス信号値をデータ・ストローブ信号に同期してサンプリングし、記録するトレース方式において、

トレース許可回路(5)によってトレース禁止が指示されたときにデータ・ストローブ信号(\overline{DS})が出力されることを禁止し、トレースが指示されたときにデータ・ストローブ信号(\overline{DS})を出力するゲート(6)と、

ゲート(6)から出力される信号($\overline{G2}$)の有意味でバス信号値を取り込んで記録するトレース装置(1)と、バス信号値がトレース条件と合致するかどうかを

調べ、合致しない場合には合致しない旨をトレース許可回路(5)に通知し、合致する場合には合致する旨をトレース許可回路(5)に通知するデコード回路(4)と、

バス信号値とトレース条件が合致しないことが通知されている状態の下においてデータ・ストローブ信号(\overline{DS})が生成された時に、ゲート(6)に対してトレース禁止を指示し、バス信号値がトレース条件と合致することが通知され時に、ゲート(6)に対してトレースを指示するトレース許可回路(5)とを具備することを特徴とするトレース方式。

(2) マイクロプロセッサやDMAチャネル等が接続され、データの転送が行われているアドレス・バス、データ・バス及び制御線より構成されたバスのバス信号値をデータ・ストローブ信号に同期してサンプリングし、記録するトレース方式において、

トレース許可回路(5)によってトレース禁止が指示されたときにデータ・ストローブ信号(\overline{DS})が出力されることを禁止し、トレースが指示された

きにデータ・ストロブ信号(\overline{DS})を出力するゲート00と、

ゲート00から出力される信号(\overline{GS})の有意点でバス信号値を取り込んで記録するトレース装置(1)と、

特定の制御信号が出力された時に、バス信号値がトレース条件に合致するか否かを調べ、合致しない場合には合致しない旨をトレース許可回路01に通知し、合致する場合には合致する旨をトレース許可回路01に通知するデコード回路02と、

バス信号値とトレース条件が合致しない旨の通知を受けている状態の下でデータ・ストロブ信号(\overline{DS})が生成された時に、ゲート00に対してトレース禁止を指示し、バス信号値とトレース条件が合致する旨の通知を受けた時に、ゲート00に対してトレースを指示するトレース許可回路03とを具備するトレース方式。

3. 発明の詳細な説明

(概要)

マイクロプロセッサなどの入出力信号群をサン

プリングし、記録するトレース方式に関し、

ハードウェアやソフトウェアの開発またはデバッグに役立つバス信号の値を時系列的に記録できると共に、どの部分に割込み等が発生しているかを知ることが出来るトレース方式を提供することを目的とし、

トレース許可回路によってトレース禁止が指示されたときにデータ・ストロブ信号が出力されることを禁止すると共にトレースが指示されたときにデータ・ストロブ信号を出力するゲートと、ゲートから出力される信号の有意点でバス信号値を取り込んで記録するトレース装置と、バス信号値がトレース条件と合致するか否かを調べ合致しない場合には合致しない旨をトレース許可回路に通知し合致する場合には合致する旨をトレース許可回路に通知するデコード回路と、バス信号値とトレース条件が合致しないことが通知されている状態の下においてデータ・ストロブ信号が生成された時にゲートに対してトレース禁止を指示すると共にバス信号値がトレース条件と合致するこ

とが通知された時にゲートに対してトレースを指示するトレース許可回路とにより構成される。

(産業上の利用分野)

本発明は、トレース方式に関するものである。

ハードウェアやソフトウェアを開発またはデバッグする際、使用しているマイクロプロセッサがどのような動作をしているかを知る方法として、そのマイクロプロセッサ自身の、またはバッファ等を経由して接続されるアドレス・バスやデータ・バス、制御信号線を信号処理の1サイクル毎にサンプリングし、記録する方法が知られている。

(従来の技術)

第18図はトレース方式の従来例を示す図である。同図において、1はトレース装置を示す。第18図はアドレス・バス、データ・バスおよび制御信号線の状態を記録する基本的な方法を示すものである。信号線 \overline{W}/R は制御信号線の一つで、データ・バス上の信号がマイクロプロセッサから出力されるものか、入力されるものかを指示する信号である。また、 \overline{DS} は、バス上のデータが確

定していることを示す制御信号であり、第18図の例では \overline{DS} の立ち上がりでバス上の信号をサンプリングするものとする。(第20図参照)

第18図の方式によりトレースされた例を第19図に示す。同図の上から下に向かってバス・サイクルが進んでいるものとする。第19図の例では、マイクロプロセッサが20000~2FFFF番地で動作中に割込みが入り、その処理を00100~00104番地で行っているものとしている。このような割込み処理のバス・サイクルは、トレース・データとして不都合が多い。このような処理の異なるプログラムは通常と異なるアドレス領域に格納されているため、特定のアドレスが出力されている場合のバス・サイクルのみをトレースできるようにすれば、必要となるバス・サイクルのみをトレースすることが可能となる。

第21図はトレース方式の他の従来例を示す図である。同図において、2はデコード回路、3はゲートをそれぞれ示している。第21図においては、トレースしたいアドレスをデコードし、サン

プリング信号にゲートをかける方法が採用されている。この場合のトレース例を第22図に示す。第22図では、割込み処理が行われているアドレス001000~00104番地のバス・サイクルが除外されている。この場合、逆に割込みが発生していることがトレース結果から判らず、後のバス・サイクル解析に支障を来すことがあった。

〔発明が解決しようとする問題点〕

第18図に示したようなトレース方式では不必要な部分までトレースされてしまうと云う欠点があり、また第21図に示すようなトレース方式では、どの部分に割込み等が発生しているか判らないと云う欠点があった。

本発明は、この点に鑑みて創作されたものであって、ハードウェアやソフトウェアの開発またはデバッグに役立つバス信号の値を時系列的に記録できると共に、どの部分に割込み等が発生しているかを知ることが出来るトレース方式を提供することを目的としている。

〔問題点を解決するための手段〕

ある。第2番目の発明は第1番目の発明と略ぼ同じ構成をしているが、第2番目におけるデコード回路14は、特定の制御信号（例えばフェッチ信号）が出力された時に、バス信号値がトレース条件に合致するか否かを調べ、合致しない場合には合致しない旨をトレース許可回路15に通知し、合致する場合には合致する旨をトレース許可回路15に通知する。トレース許可回路15は、バス信号値とトレース条件が合致しない旨の通知を受けている状態の下でデータ・ストローブ信号DSが生成された時に、ゲート16に対してトレース禁止を指示し、トレース条件が合致する旨の通知を受けた時に、ゲート16に対してトレースを指示する。

〔実施例〕

第2図は本発明の1実施例のブロック図、第3図は第2図の実施例のデコード回路の構成例を示す図、第4図は第2図の実施例の動作を示すタイムチャート、第5図は第2図の実施例によるトレース例を示す図、第6図はトレース許可回路の構

成例を示す図である。図において、4はデコード回路、5はトレース許可回路、6はNANDゲート、7~10は排他的論理和ゲート、11はANDゲート、12はトレース除外領域設定レジスタ、28はDフリップ・フロップをそれぞれ示している。第1図(a)は本発明の原理図である。バスには、マイクロプロセッサやDMAチャンネルが接続されている。ゲート6は、トレース許可回路5によってトレース禁止が指示されたときにデータ・ストローブ信号DSが出力されることを禁止し、トレースが指示されたときにデータ・ストローブ信号DSを出力する。トレース装置1は、ゲート6から出力される信号G2の有意点（例えば立上がり）でバス信号値を取り込んで記録する。デコード回路4は、バス信号値がトレース条件と合致するか否かを調べ、合致しない場合には合致しない旨をトレース許可回路5に通知し、合致する場合には合致する旨をトレース許可回路5に通知する。トレース許可回路5は、バス信号値とトレース条件が合致しないことが通知されている状態の下においてデータ・ストローブ信号DSが生成された時に、ゲート6に対してトレース禁止を指示し、バス信号値がトレース条件と合致することが通知され時に、ゲート6に対してトレースを指示する。

第1図(b)は本発明の第2番目の発明の原理図で

成例を示す図である。図において、4はデコード回路、5はトレース許可回路、6はNANDゲート、7~10は排他的論理和ゲート、11はANDゲート、12はトレース除外領域設定レジスタ、28はDフリップ・フロップをそれぞれ示している。

この実施例はアドレス・バス、データ・バス、制御線に接続しているマイクロプロセッサの動作状態をトレースするものであり、トレース条件としてアドレスの10000~3FFFFアクセスが設定されているものとする。この場合、トレース除外領域設定レジスタ12にはX'00'が設定されている。この実施例では、アドレス信号をデコード回路4でデコードし、そのデコード出力GOをDSの1回分遅らせた信号G1をトレース許可回路5で作成する。この信号G1でDSにゲートをかけ、信号G2を作成し、転送サイクルをトレースする。この実施例によると、アドレス10000~3FFFFから外れた最初の1転送分のみのバス信号の値がトレースされ、その他はト

レースから除外される。なお、バス信号の値とは、アドレス・バス上のアドレスの値、データ・バス上のデータの値、制御線上の制御信号の値を集合したものを意味している。

第7図は本発明の他の実施例のブロック図、第8図は他の実施例におけるデコード回路の構成例を示す図、第9図は他の実施例におけるトレース許可回路の構成例を示す図、第10図は他の実施例の動作を示すタイムチャート、第11図は他の実施例によるトレース例を示す図である。

第7図ないし第9図において、14はデコード回路、15はトレース許可回路、16はNANDゲート、17～20は排他的論理和ゲート、21はANDゲート、22はトレース除外領域設定レジスタ、23と24はANDゲート、25は反転ゲート、26と27はORゲート、28はDフリップ・フロップ、29と30は反転ゲート、31も反転ゲートをそれぞれ示している。

第7図の実施例においては、デコード回路14にアドレス信号の他に命令フェッチを示す信号F

ETCHが入力しており、出力G3とG4はFETCHが出力されているときのみ出力するようになっている。G3はトレース有効領域以外がアクセスされることを示す信号であり、G4はトレース有効領域がアクセスされていることを示す信号である。トレース許可回路15内にはラッチ回路があり、G3によりプリセットされ、G4によりリセットされる。このラッチ回路の出力の初めのDS1回分を削除した信号がG5であり、これでDSにゲートをかけてG6を作っている。第10図のタイムチャートでは、マイクロプロセッサが10000～3FFFF番地以外で動作している途中で30000番地に書き込みを行っているが、これは命令フェッチでないため、FETCH信号は出力されず、トレース除外は継続される。この場合のトレース結果は第11図に示される。

以上の実施例では、デコード信号をアドレス信号に限定しているが、データ信号や制御信号を対象とすることも出来る。また、デコード回路によるトレース条件が変更可能であることは言うまで

もない。

〔発明の効果〕

第1番目の発明の効果について説明する。マイクロプロセッサの多くは「先行フェッチ」と呼ばれる命令先読み機能を持っている。これは現在実行中の命令より数ステップ次の命令を読み込んで置く機能であるが、これに割込み要求があり、その割込み処理を終えて元のプロセッサに復帰した場合、第12図のように改めて復帰する番地からプログラムをフェッチする。

この動作を従来よりある「設定したトレース除外領域での動作を全てトレースしない」という条件で「00000～0FFFF番地での動作をトレースしない」とようにすると、第13図のように割込み処理を挟んで同じ命令が2度トレースされてしまう。第13図のトレース結果では、途中で割込み処理が入ったことが不明であるため、マイクロプロセッサ動作解析の際に支障を来すことがある。

第1番目の発明は、この場合に割込みがあった

(トレース除外領域に入った)ことがトレース結果に残るように、トレース除外領域へ入った場合の最初の命令のみをトレースしておくと言うものがある。第1番目の発明によるトレース結果は第14図のようになり、割込みがあったことが明確になり、二重にトレースされている命令フェッチの解析が楽になる。

第2番目の発明の効果について説明する。マイクロプロセッサが第15図のように動作する場合、アドレスだけを判定条件にすると、トレース結果は第16図のようになり、トレース除外領域での動作が多数トレースされたり、必要とする情報がトレースされなかったりする。これに対して「以降の動作をトレースする」、「以降の動作をトレースしない」の判定を命令フェッチの場合のみ行うようにすると、トレース結果は第17図のようになり、必要とする情報のみがトレースされる。

このように、本発明によれば、バス転送サイクルやプロセッサの動作解析の際に有効なトレース結果を得ることが出来る。

4. 図面の簡単な説明

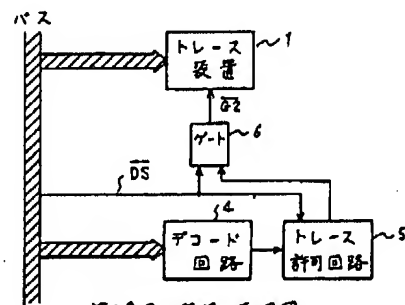
第1図は本発明の原理図、第2図は本発明の1実施例のブロック図、第3図は第2図の実施例のデコード回路の構成例を示す図、第4図は第2図の実施例の動作を示すタイムチャート、第5図は第2図の実施例のトレース例を示す図、第6図は第2図の実施例のトレース許可回路の構成例を示す図、第7図は本発明の他の実施例のブロック図、第8図は第7図の実施例のデコード回路の構成例を示す図、第9図は第7図の実施例のトレース許可回路の構成例を示す図、第10図は第7図の実施例の動作を示すタイムチャート、第11図は第7図の実施例のトレース例を示す図、第12図は割込み処理前後のマイクロプロセッサの動作例を示す図、第13図は第12図のバス・サイクルを従来技術によってトレースした場合のトレース結果を示す図、第14図は第12図のバス・サイクルを第1番目の発明のトレース方式によってトレースした場合のトレース結果を示す図、第15図

は割込み処理前後のマイクロプロセッサの他の動作例を示す図、第16図は第15図のバス・サイクルを第1番目の発明のトレース方式によってトレースした場合のトレース結果を示す図、第17図は第15図のバス・サイクルを第2番目の発明のトレース方式によってトレースした場合のトレース結果を示す図、第18図はトレース方式の従来例を示す図、第19図は第18図の従来例によるトレース例を示す図、第20図は第18図の従来例の動作を示すタイムチャート、第21図はトレース方式の他の従来例を示す図、第22図は他の従来例によるトレース例を示す図である。

1…トレース装置、2…デコード回路、3…ゲート、4…デコード回路、5…トレース許可回路、6…NANDゲート、7ないし10…排他的論理和ゲート、11…ANDゲート、12…トレース除外領域設定レジスタ、14…デコード回路、15…トレース許可回路、16…NANDゲート、17ないし18…排他的論理和ゲート、22…トレース除外領域設定レジスタ、23と24…AND

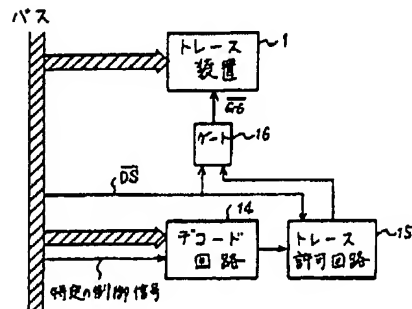
Dゲート、25…反転ゲート、26と27…OR回路、28…Dフリップ・フロップ、29と30…反転ゲート、31…反転ゲート。

特許出願人 株式会社ビーエフユー
代理人弁理士 京谷 四郎



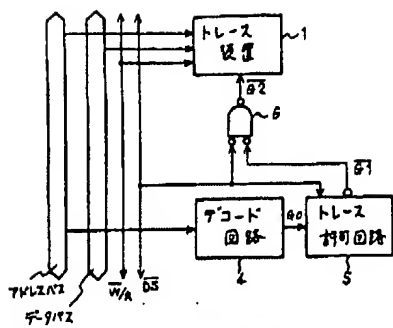
第1番目の発明の原理図

第1図(a)

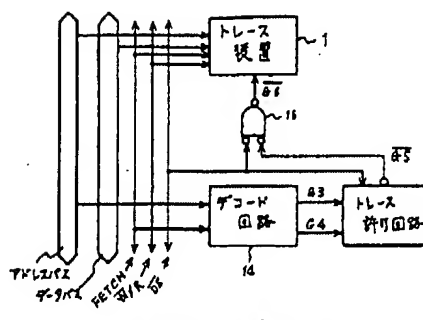


第2番目の発明の原理図

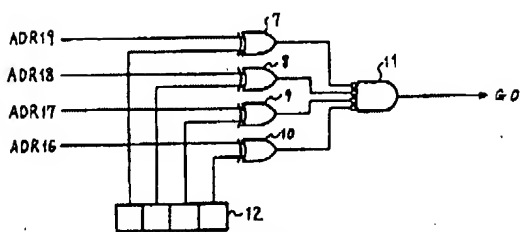
第1図(b)



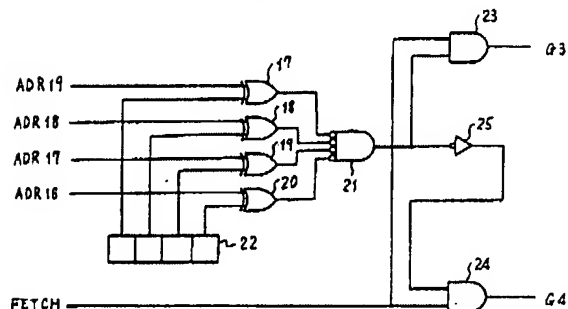
本発明の実施例
第2図



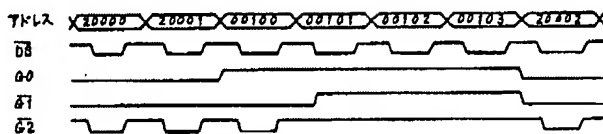
本発明の他の実施例
第7図



デコード回路の構成例
第3図



デコード回路の構成例
第8図



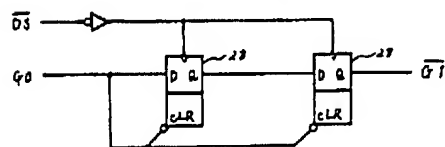
実施例の動作を示すタイムチャート

第4図

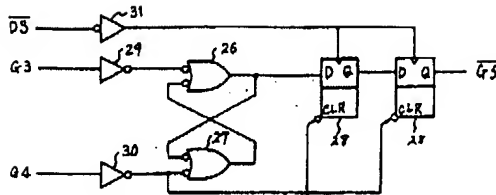
アドレス	デ-9	W/R
20000	X X X X	1
20001	X X X X	1
00100	X X X X	1
20002	X X X X	1
20003	X X X X	1

実施例のトレース例

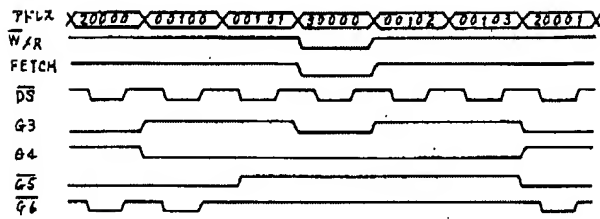
第5図



トレース許可回路の構成例
第6図



トレース許可回路の構成例
第9図



他の実施例の動作を示すタイムチャート
第10図

アドレス	データ	WR
20000	XXXXX	1
00100	XXXXX	1
00001	XXXXX	1

他の実施例のトレース例
第11図

20000番地の命令フェッチ	
20001	
20002	
20003	
20004	
20003	
20004	
20005	

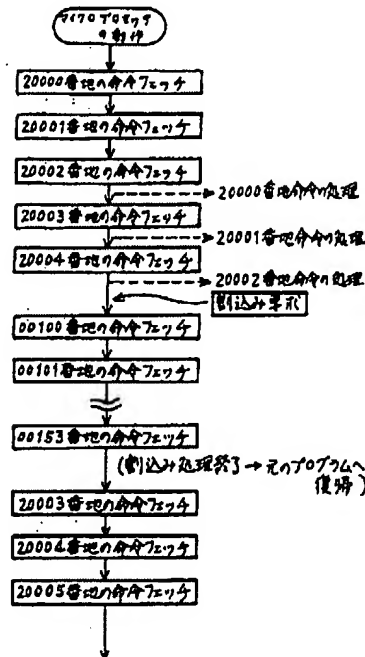
同じ命令が2度トレース
されているが、なぜそうなの
が解明できない。

従来のトレース
第13図

20000番地の命令フェッチ	
20001	
20002	
20003	
20004	
00100	
20003	
20004	
20005	

トレース除外領域へ入った
ことが明確となり、同じ命
令が2度トレースされている
理由が明確になる。

第1番目の発明でのトレース
第14図



通常動作

割込み処理

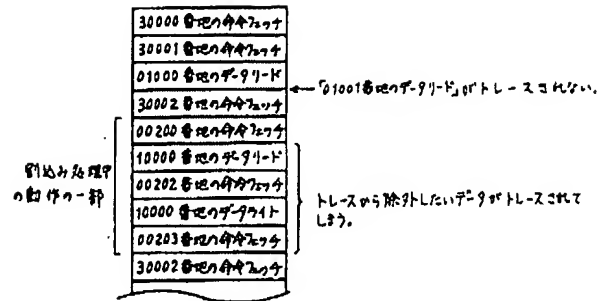
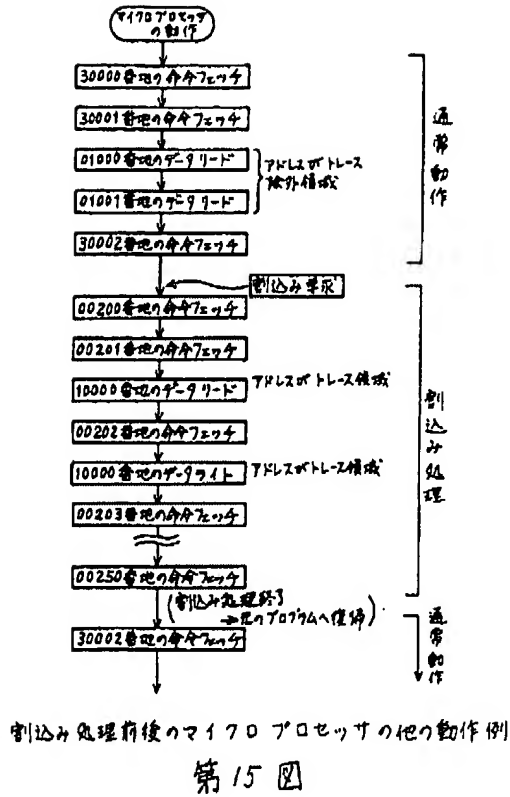
通常処理

命令のフェッチは 20004番地まで
しているが、実際の処理は 20002番地
までしか行っていない。

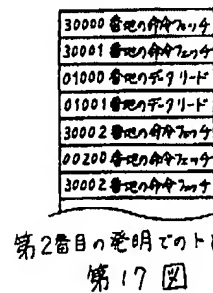
処理は 20003番地からなので
20003番地から再度フェッチを
行っている。

割込み処理前後のマイクロプロセッサの動作例

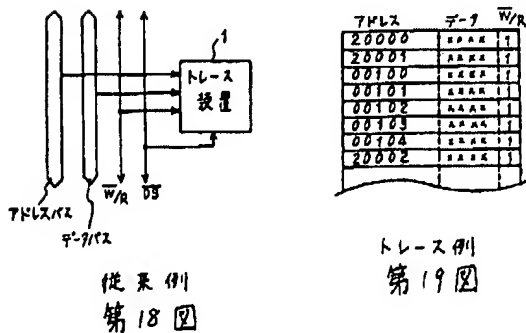
第12図



第1番目の発明でのトレース
第16図

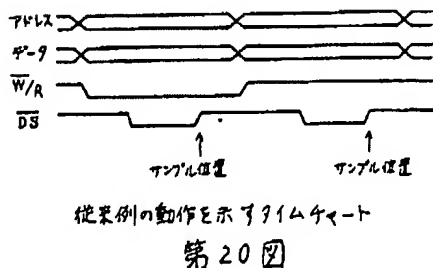
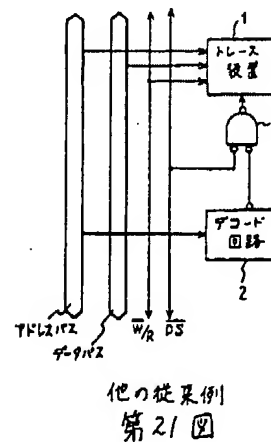


第2番目の発明でのトレース
第17図



アドレス	データ	W/R
20000	xxxxxx	1
20001	xxxxxx	1
00100	xxxxxx	1
00101	xxxxxx	1
00102	xxxxxx	1
00103	xxxxxx	1
00104	xxxxxx	1
20002	xxxxxx	1

トレース例
第19図



アドレス	データ	W/R
20000	xxxxxx	1
20001	xxxxxx	1
20002	xxxxxx	1
20003	xxxxxx	1
20004	xxxxxx	1
20005	xxxxxx	1
20006	xxxxxx	1
20007	xxxxxx	1

他の従来の例によるトレース例
第22図